

連載 AD・DA 変換技術

各種の AD/DA 変換方式

早稲田大学理工学研究所 山崎 芳 男

連載の1回目の前号では音響信号のデジタル化について概観した。まずデジタルオーディオの歴史を簡単に振り返り、デジタル化の過程の基本的な事項について説明した。要約すると、

(1) デジタル化において別個に据えられがちな標準化と量子化が表裏一体の関係にあることを強調し、

(2) デジタル信号処理において、常に考慮しなくてはならない有限語長の影響がデジタル化に際しては量子化雑音という形であらわれること、

(3) 量子化雑音は量子化に先立ち、的確なディザすなわち量子化ステップ幅 Δ に一様に分布する確率変換を

信号に重畳し、量子化器の出力から同じディザを減算することにより、標準化周波数の半分の周波数領域に一様に分布する電力 $\Delta^2/12$ の白色性の雑音に帰着できると等を述べた。

今回は様々な方式の A/D/DA 変換について解説する。

3. 各種の AD/DA 変換方式 (1)

3.1 抵抗型変換器

< 並列型, フラッシュ型 >

並列型 AD 変換の構成を図1に示す。この変換器は比較器とそれを2^N等の論理回路のみで構成される。

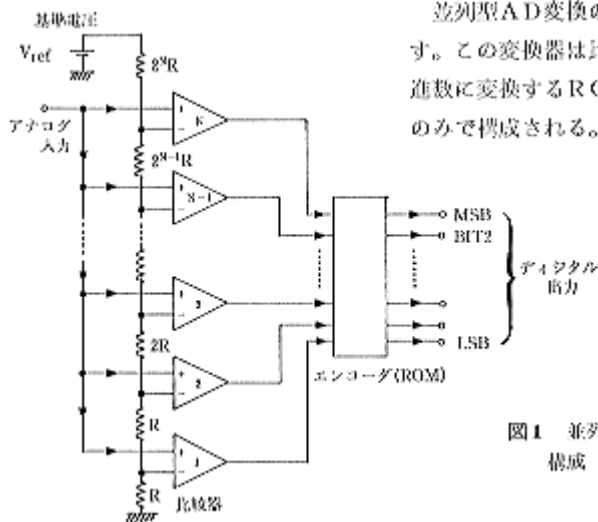


図1 並列型変換器の構成

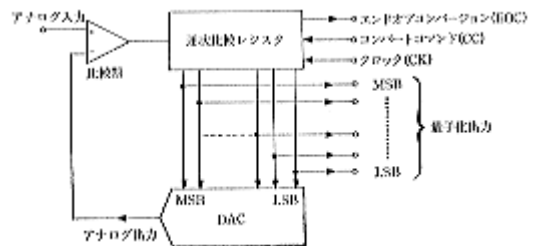


図2 逐次比較型 AD 変換器の構成

は瞬時に行われるので、フラッシュ型と呼ばれることもある。実際に変換に要する時間は、比較器と論理回路の動作時間だけであるので、変換速度は大変速く通常標準化のために特にサンプルホールド回路を必要としない。

並列型 AD 変換器は、ビデオ信号や計測器などの高速の AD 変換に使われている。しかし、この方式では量子化ステップの総数すなわち 4 bit では 16 個, 8 bit で 256 個, 16 bit では 65,536 個の比較器が必要となり、オーディオのようにビット数の多い変換器の実現は困難である。

< 逐次比較型 AD 変換器 >

逐次比較型 AD 変換器は、図2に示すように、入力信号と暫定的に決めた DA 変換器の出力とを比較しながら、順次上位の桁から 0, 1 を決定していく変換方式である。

図3にそのタイミングチャートを

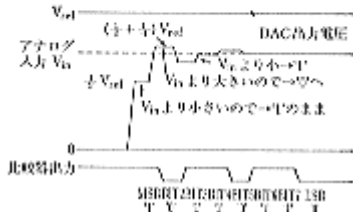
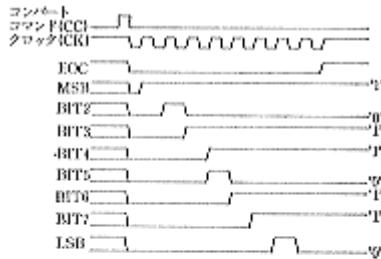


図3 逐次比較型A/D変換器のタイミング図

示す。変換指令(コンバートコマンド)に同期したクロックにより、まずDA変換器の最上位の桁MSBを1、他の桁を0とする。このDA変換器の出力と入力信号を比較する。もし入力信号の方が大きい場合には、MSB用のレジスタは次のクロック以降も1のまま保持する。逆にDA変換器出力の方が大きい場合には、DA変換器のレジスタを2番目のクロックで0に変更したうえで、第2ビットを1として同様の比較を行う。このように出力信号とDA変換器の出力との比較を逐次行い、その結果に基づいて各レジスタの内容の0,1を決定していくとDA変換器の出力は入力信号に次第に近づく。

最後のビットの比較が終了すると、次のクロックすなわちDA変換器のビット数+1クロックで全てのビットの値が確定する。このときDA変換器の出力と入力信号の差はDA変換器の最下位桁LSB以下の値となり、この時の各bitの出力が量子化出力となる。

このように逐次比較型AD変換は

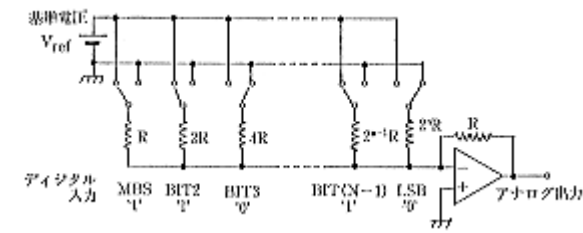


図4 重み抵抗型DA変換器の構成

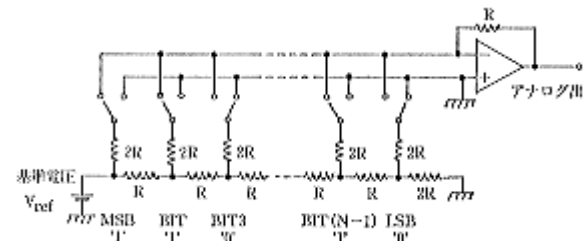


図5 ラダー(梯子)抵抗型DA変換器の構成

原理的に変換に時間を要し、その間入力値が一定に保たれなくてはならないので、サンプルホールド回路は不可欠である。

逐次比較型AD変換器に使用するDA変換器の分解能は、AD変換に要求される値と同等以上変換速度は少なくともAD変換器の(ビット数+1)倍が要求される。この条件を満たせば、DA変換器の方式はどんなものでも構わないが、一般には変換速度の速い抵抗型の電流出力のDA変換器が使われている。

逐次比較型AD変換器にも使われる各種の抵抗に精度を依存したDA変換器についてつぎに述べる。

<重み抵抗型DA変換器>

重み抵抗型DA変換器は図4に示すように各ビットの重みに対応した電流をその逆数値に比例した抵抗により作り、各ビットの0,1に応じて加算する方式である。

重み抵抗型DA変換器の構成は簡単であるが、ビットの数だけの異なる値の抵抗が必要であり、使用する抵抗の最大値と最小値の比が極めて大きくなり、抵抗には分解能に応じた精度が要求される。

<ラダー抵抗型DA変換器>

ラダー抵抗型DA変換器もビットの重みに対応した電流を加算する方式であるが、図5に示すように、電流を作る抵抗の種類はRと2Rの

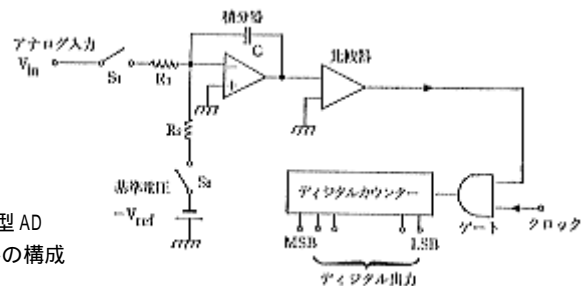


図6 積分型AD変換器の構成

2種類だけですむ。

この抵抗網は梯子のような構成となっているので梯子抵抗，ラダー抵抗型とよばれている。抵抗同士が接続されている点からみた両方向の抵抗値はどちらも $2R$ と等しく，電流はこの点で2分割される。したがって，各アナログスイッチに入る電流は $1, 1/2, 1/4, \dots$ とビットの重みに対応したものとなる。

3.2 計数型

< 積分型 AD 変換器 >

積分型 AD 変換器は図6に示すように，入力信号に比例した電荷を積分器のコンデンサに蓄えたうえ，この電荷を一定の割合で放電し，積分器の出力が零あるいは一定値になるまでの時間を計測することにより，入力信号に対応したデジタル信号を得る方式である。

一般に積分器，アナログスイッチ，比較器やデジタル計数器などにより構成されている。

動作は，まず変換開始時にアナログスイッチ1はオン，アナログスイッチ2オフとすると，積分器の積分コンデンサは入力電圧 V_{in} と等しい電圧に充電される。

次にスイッチ1をオフ，2をオンとすると，積分器は負の基準電圧 V の積分を開始する。積分コンデンサの両端の電圧は一定の割合で減少する。これと同時にデジタルカウンタはカウントを開始する。

積分コンデンサの両端の電圧が0になると比較器の出力は0となり，計数器のクロックが止まり計数は停止する。このとき計数器の値は入力信号に比例したものとなり，これがデジタル出力となる。

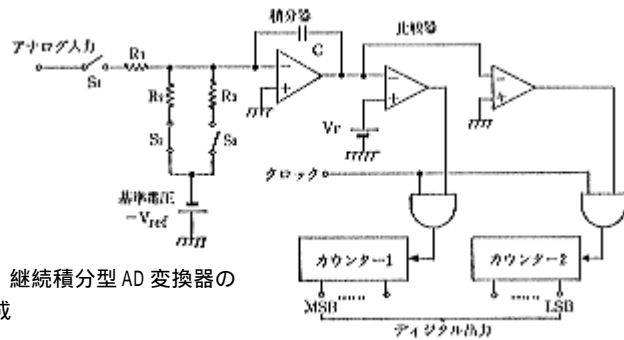


図7 継続積分型 AD 変換器の構成

積分型 A/D 変換器は変換速度は遅いが高精度が得られるので，デジタル電圧計などの計測器に広く使われている。しかし変換速度が遅いためそのままオーディオ信号のデジタル化に使うことは困難である。例えば，標準化周波数 50kHz，16 bit に対してクロック周波数 f_c は

$$f_c = \frac{65536}{2 \times 10^{-5}} \approx 3.28 \times 10^9 \text{ (Hz)}$$

と，3GHz 以上の高い周波数の計数が必要となってしまう。

< 縦続積分型 AD 変換器 >

このように積分型 AD 変換器は高精度は得られるが，変換速度が遅くそのままオーディオ信号のデジタル化につかうことは出来ない。そこでソニーの CXA - 1144S，CX 20018 等の比較的低いクロック周波数でも高精度な変換を実現する方式が考案され，実用化されている。

この方式は図7に構成を示すように，基準電圧の積分を2段階に分け，前半の積分は急速に後半の積分は緩やかにを行い，それぞれに対応さ

せた計数回路，例えば 16bit の変換器の場合には，おのおの 8bit をその期間中動作させるものである。

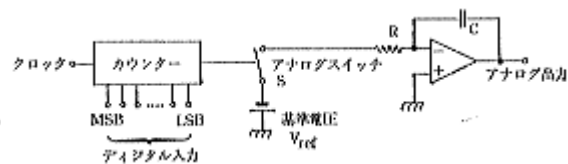
変換開始時にはアナログスイッチ 2, 3 がオフ，1 をオンとする。前述の積分型と同様に積分コンデンサは入力電圧 V_{in} に充電される。次にスイッチ1をオフ，2をオンとして計数器1のカウントを開始する。積分器の出力は一定の割合で0に近づき，電圧が V_F になったとき比較器1の出力が“0”となり計数器1の動作を停止すると同時にスイッチ2を切断する。

続いてスイッチ3を入れて計数器2が計数を開始する。積分器の出力電圧はさらに0に近づき，ちょうど0になったときに比較器2の出力が“0”となり，計数器2の動作を停止する。この結果計数器1は上位ビットを，2は下位ビットを現している。

この方法では必要となるクロック周波数は

$$f_c = \frac{256 + 256}{2 \times 10^{-5}} = 2.56 \times 10^7 \text{ (Hz)}$$

• } 8 積分型 AD 変換器



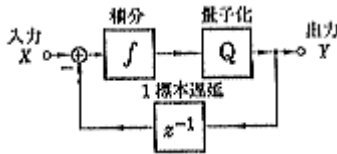


図9 ΣΔ変調の構成

4.1 ΣΔ変調の基本構成

図9に1次のΣΔ変調の基本構成を示す。積分回路(Σ), 差をとるΔ部分と量子化器と遅延回路から構成

分大きい場合または的確なディザが導入されていると, 量子化雑音は白色で電力は となる。すなわちスペクトル密度は であるから, 1次 変調の量子化雑音の

すなわち 26MHz 程度となり十分に実現可能である。

<積分型DA変換器>

積分型DA変換器は図8に示すように, 積分器とデジタルカウンタ, アナログスイッチなどにより, 構成されている。この変換器の動作はデジタル入力値をカウンタにセットし, クロックによりカウンタをダウンカウントを開始する。このときアナログスイッチ1はオンとなり, 積分器のコンデンサは一定の電流で充電が開始される。カウンタの値が0になったときスイッチはオフとする。積分器の出力電圧はカウンタの動作時間に比例した値, すなわち入力値のデジタル値に対応したアナログ出力が得られる。

AD変換同様積分を分割することも可能である。

4. ΣΔ変調

ΣΔ変調(ΔΣ変調と呼ばれることもある)は前号で述べたように, 量子化器を帰還ループ内に設けることにより, 量子化雑音に微分特性すなわち高域上がりの特性を与える変換方式である。

図10(a),(b) 1次デジタルΣΔ変調

図11 ΣΔ変調によるAD変換器の構成

される。積分をデジタルで構成すると図10(a)のように, 2つの遅延部をまとめるとさらに(b)のようになる。この構成はDA変換や信号処理にそのまま使われる。

一方AD変換を1次ΣΔ変調で構成すると, 図11のようになる。量子化器が複数ビット構成の場合には1標本遅延部分にDA変換器を設けなければならないが, 量子化器が1ビット構成の場合には遅延を兼ねたフリップフロップをDA変換器として使うことができる。

4.2 1次ΣΔ変調

量子化器で入力と無相関な量子化雑音 N_q が発生するものとする。1次のΣΔ変調の出力Yは図10に示すように

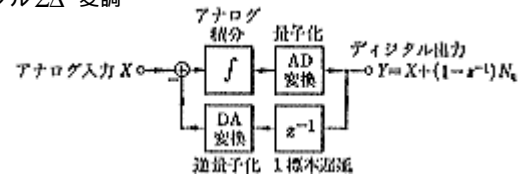
$$Y = X + (1 - z^{-1}) \cdot N_q \quad (1)$$

となり, 量子化雑音 N_q は

$$N_q = (1 - z^{-1}) \cdot N_q = H(z) \cdot N_q$$

1標本遅延した量子化雑音との差, すなわち微分した形になる。

量子化器の量子化ステップ数が十



パワースペクトルは

$$N_q(f) = H(z) \cdot H(z^{-1}) \cdot N_q = (1 - z^{-1}) \cdot (1 - z) \frac{\Delta^2}{6f_s} \quad (2)$$

となる。ここで $z = \exp j2\pi f / f_s$ とおくことにより,

$$N_q(f) = 4 \cdot \sin^2(\pi f / f_s) \frac{\Delta^2}{6f_s} \quad (3)$$

となり, $f_s/6$ を境いに低域では下降, 高域では上昇する周波数範囲 $0 \sim f$ の量子化雑音電力 N_{qf} は(3)式を積分して,

$$N_{qf} = \frac{\Delta^2}{6f_s} \cdot \int_0^f 4 \cdot \sin^2(\pi t / f_s) dt = \frac{\Delta^2}{6} \left\{ \frac{2f}{f_s} - \frac{\sin(2\pi f / f_s)}{\pi} \right\} \quad (4)$$

となる。 $0 \sim f_s/2$ の全量子化雑音電力は $\Delta^2/6$ となり, ΣΔ変調を行わない場合の2倍となっている。

低周波数領域では $\sin \pi f / f_s \approx \pi f / f_s$ と近似できるので $0 \sim f$ の量子化雑音電力は,

$$N_{qf} \approx \frac{2\Delta^2}{9} \pi^2 (f / f_s)^3 \quad (5)$$

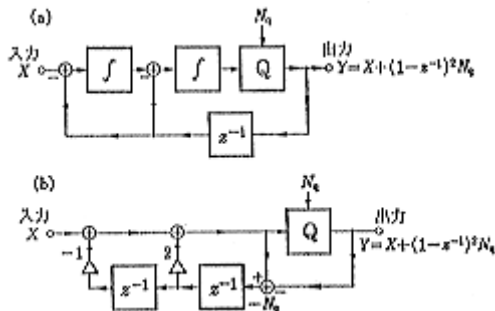


図12 2次のΣΔ変調

となり f_s/f^3 に比例する。すなわち標準化周波数を2倍にするとSN比は9dB約改善される。20kHzの帯域で100dBのSN比を得るには1bit量子化では約112MHz, 14bit量子化では160kHzの標準化周波数が必要である。

なお、ここで量子化雑音は入力と無相関と仮定したが、実際にこの条件を満たすのは前号で述べたように量子化ステップ数が十分多い場合、量子化ステップあるいはその整数倍に一樣分布するディザが重畳・減算されている場合に限られる。

4.3 高次のΣΔ変調

図12に2次のΣΔ変調の構成を示す。この場合変調出力Yは

$$Y = (1 - z^{-1})^2 \cdot N_q \quad (6)$$

となり、電子化雑音は2次微分され

た形となる。

1次の場合と同様に量子化雑音のパワースペクトルを求めると

$$N_{qf} \approx 4 \sin^4(\pi f / f_s) \frac{\Delta^2}{6 f_s} \quad (7)$$

となる。0 ~ $f_s/2$ の量子化雑音は $\Delta^2/2$ となり、ΣΔ変調を行わない場合の6倍に増加する。

低周波数領域では0 ~ f の量子化雑音電力は

$$N_{qf} \approx \frac{8\Delta^2}{15} \cdot \pi^4 (f/f_s)^5 \quad (8)$$

となり f_s/f^5 に比例する。標準化周波数が2倍になるとSN比は約15dB改善される。20kHzで100dBのSN比は1bit量子化でも約6.7MHzの標準化周波数で実現できる。

4.4 安定な高次のΣΔ変調

同様に図13に示すように、3次あ

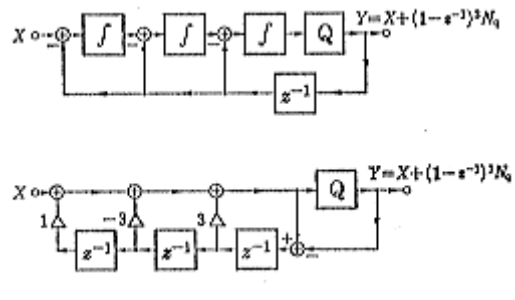


図13 3次ΣΔ変調

るいはそれ以上の次数のΣΔ変調が考えられる。表1に1bitΣΔ変調の次数による入出力関係、量子化雑音のスペクトル, 0 ~ $f_s/2$ および低周波数領域 $f \sim f_s/32$ の量子化雑音電力を示す。また図14に次数による量子化雑音のパワースペクトルの違

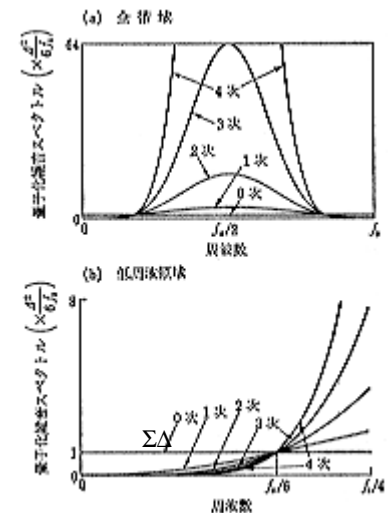


図14 変調量子化雑音

表1 ΣΔ変調の量子化雑音

次数	出力 Y	量子化雑音のスペクトル $N_q(f)$	0 ~ $f_s/2$ の量子化雑音電力	低域 0 ~ f の雑音電力 (1 ~ 4次は近似)	0 ~ $f_s/32$ の量子化雑音電力
0	$X + N_q$	$\frac{\Delta^2}{6f_s}$	$\frac{\Delta^2}{12}$	$\frac{\Delta^2}{6} \left(\frac{f}{f_s}\right)$	$6.25 \times 10^{-2} \cdot \frac{\Delta^2}{12}$
1	$X + (1 - z^{-1})N_q$	$4 \sin^2(\pi f / f_s) \cdot \frac{\Delta^2}{6f_s}$	$2 \cdot \frac{\Delta^2}{12}$	$\frac{2}{6} \Delta^2 \pi^2 \left(\frac{f}{f_s}\right)^3$	$4.02 \times 10^{-4} \cdot \frac{\Delta^2}{12}$
2	$X + (1 - z^{-1})^2 N_q$	$16 \sin^4(\pi f / f_s) \cdot \frac{\Delta^2}{6f_s}$	$6 \cdot \frac{\Delta^2}{12}$	$\frac{8}{15} \Delta^2 \pi^4 \left(\frac{f}{f_s}\right)^5$	$1.86 \times 10^{-5} \cdot \frac{\Delta^2}{12}$
3	$X + (1 - z^{-1})^3 N_q$	$64 \sin^6(\pi f / f_s) \cdot \frac{\Delta^2}{6f_s}$	$20 \cdot \frac{\Delta^2}{12}$	$\frac{32}{21} \Delta^2 \pi^6 \left(\frac{f}{f_s}\right)^7$	$5.12 \times 10^{-7} \cdot \frac{\Delta^2}{12}$
4	$X + (1 - z^{-1})^4 N_q$	$256 \sin^8(\pi f / f_s) \cdot \frac{\Delta^2}{6f_s}$	$70 \cdot \frac{\Delta^2}{12}$	$\frac{128}{27} \Delta^2 \pi^8 \left(\frac{f}{f_s}\right)^9$	$1.53 \times 10^{-8} \cdot \frac{\Delta^2}{12}$

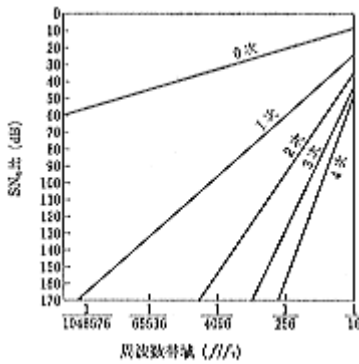


図15 周波数帯域とSN_q比

がこの構成では

$$Y = X + \{1 - (3-k)z^{-1} + (3-k)z^{-2} - z^{-3}\} N_q \quad (10)$$

量子化雑音のワースペクトルは図17に示すようになる。

<積分器多段縦続接続>

図18にクリスタル社CSZ5326/旭化成AK5326AD変換器に使われている4次ΣΔ変調器を示す。この

$$U(z) = 1 - \frac{3}{2}z^{-1} + \frac{5}{4}z^{-2} - \frac{1}{2}z^{-3} + \frac{1}{4}z^{-4} \quad (12)$$

となるような構成とすることにより4次のDAコンバータを実現している⁽⁸⁾。

<MASH>

多段従属接続(MASH)はNTTの松谷, 内村, 村田が考案した方

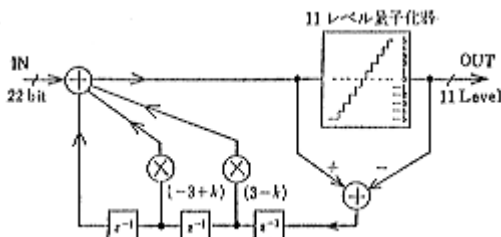


図16 NPCの零点移動3次ΣΔ変調

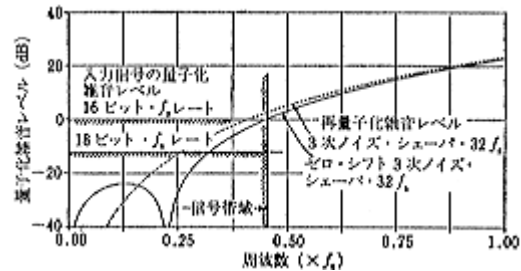


図17 零点移動3次ΣΔ変調の量子化雑音

い, 図15に低周波数領域のSN比を示す。このようにΣΔ変調の次数を上げると量子化雑音の総電力は増すが, f_s/6を境いに低周波数領域の分布は急速に減少する。

ところで2次以下のΣΔ変調は安定に動作するが, 3次以上の構成では量子化ステップ数の制約や現実の量子化雑音が量子化器の入力と相関を持つこと等により, しばしばその動作が不安定となる。最近は様々な工夫により高次の安定したΣΔ変調も実現されている⁽⁶⁾。ここでそのいくつかを紹介する。

<多レベル量子化と零点移動>

図16に多レベル量子化器の導入と帰還ループの零点を移動したNPCの3次のDA変換器SM5860AFのΣΔ変換部の構成を示す。通常の3次の伝達関数

$$Y = X + (1 - z^{-1})^{-3} \cdot N_q \\ = X + \{1 - 3z^{-1} + 3z^{-2} - z^{-3}\} N_q \quad (9)$$

ΣΔ変調では, 積分器を従属接続し, おおのびに適当な重みづけをして加算したうえ, 量子化する方法および積分器4の出力から, 積分器3に帰還ループを設けることにより極と零点の位置の最適化を図り, 量子化器が1bitであるにもかかわらず安定な動作を得ている^{(6),(7)}。

日本ビクターでは図19に示すように帰還ループの伝達特性が

$$Y(z) = X(z) - \frac{(1 - z^{-1})^4}{U(z)} \cdot X_q(z) \quad (11)$$

式で図20に示すように, ΣΔ変調器を量子化雑音を変調する形で多段に従属接続し, 段数に応じて微分したうえ加算することにより, 高次の安定した動作を確保している^{(9),(10)}。この方式はAD/DA変換共に適用可能であり, すでに数社からIC化され各種のオーディオ機器に組み込まれている。

図21に1次と2次のΣΔ変調を組み合わせた3次のMASH型DA変換器の基本構成(a)と, フィードバックパスを加えることにより, DAコンバータの量子化値を基本構成(a)の9

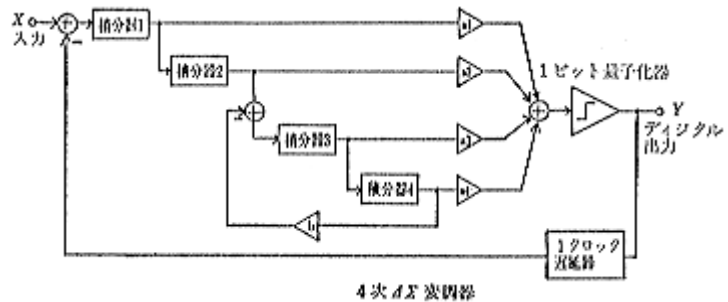


図18 4次AD変換器(CSZ/AK5326)の構成

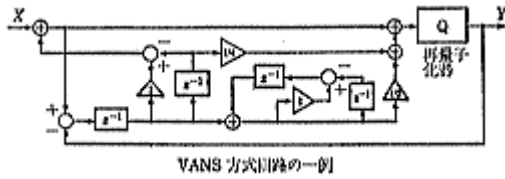


図 19 日本ビクターの4次型 DA 変換器

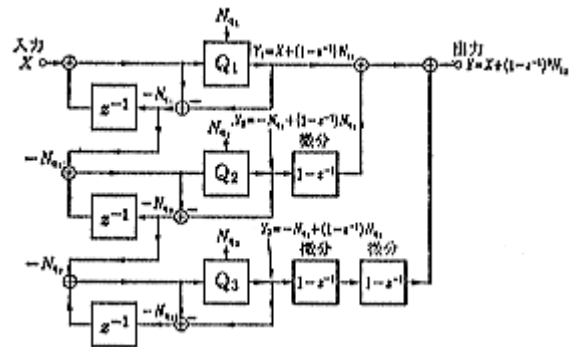


図 20 3次 MASH の構成

値から7値に減らす工夫をほどこしたソニーの3次のMASH型DAコンバータCXD2552の構成(b)を示す⁽¹¹⁾。

5.2.1 むすび

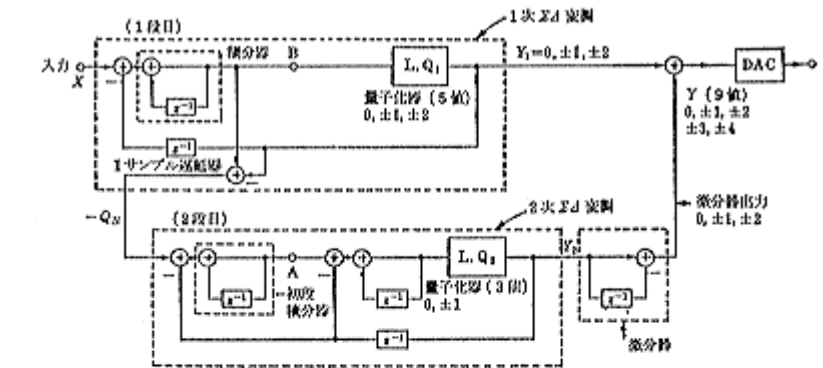
最近広く使われるようになった変調を含めたAD/DA変換器およびその周辺の信号処理技術について述べた。長足の進歩を遂げたとはいえ、現在もなおその技術は発展過程にある。近い将来人間の優れた聴覚を満足する変換特性が得られるものと期待している。

資料の収集に尽力いただいた日本TIの福原康二氏と(株)ラジオ技術社に謝意を表す。

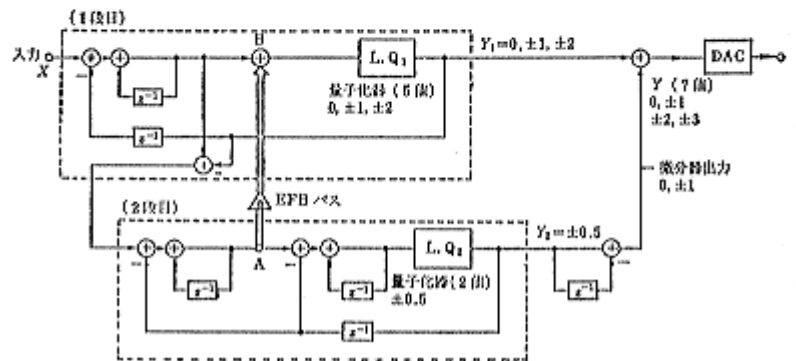
今回はAD/DA変換器のハードウェアについて解説する予定である。(つづく)

【文献】

(1) 日本オーディオ協会編, "デジタルオーディオ事典", オーム社, 1989.
 (2) 山崎, "AD/DA変換器とデジタルフィルタ", 音響学会誌, 46(3), pp. 251-257 (1990).
 (3) 山崎, "広帯域音響信号の量子化への大振幅ディザの適用", 音響学会誌, 39(7), pp. 452-462 (1982).
 (4) B.P.Agrawal, K.Shenoi, "Design Methodology for $\Sigma\Delta M$ ", MIEEE TRANSACTION ON COMMUNICATION, VOL. COM-31, NO.3, pp. 360-369, 1983. 3.
 (5) 竹内 稔, 遠山 明, 藤原一之, " $\Delta\Sigma$ 1bit DACの詳細", ラジオ技術 43(14), pp.56-59 (1989).



(a) 3次MASH DA変換の基本構成



(b) フィードバックによる量子化値の減少

(6) 黒田 徹, "スタガード・デルタ・シグマ形1bit ADC/DACのシミュレーションと実験・実測・波形観測", ラジオ技術, 43(3), pp.88-97 (1989).
 (7) 村上英治, "次世代4次1bit ADコンバータの詳細", ラジオ技術 43(8), pp.50-53 (1989).
 (8) 近藤達男, 豊巻一也, "4次ノイズ・シェーパを内装した1bit DACの特徴", ラジオ技術, 43(13), pp.44-47 (1989).
 (9) 松谷, 内村, 岩田, "多段量子化雑音抑圧(MASH)方式16ビットCMOS A/D変換LSI", 信学研資 ICD87-52, pp.7-12 (1987).
 (10) 松谷, 内村, 岩田, "多段量子化雑音抑圧(MASH)方式16ビットCMOS D/A変換LSI", 電音研資 EA 87-79, pp.25-32 (1988).
 (11) 増田稔彦, 植木正明, 金井 隆, "パルスD/Aコンバータとは?", DIGIC 14(1), pp.12-17.